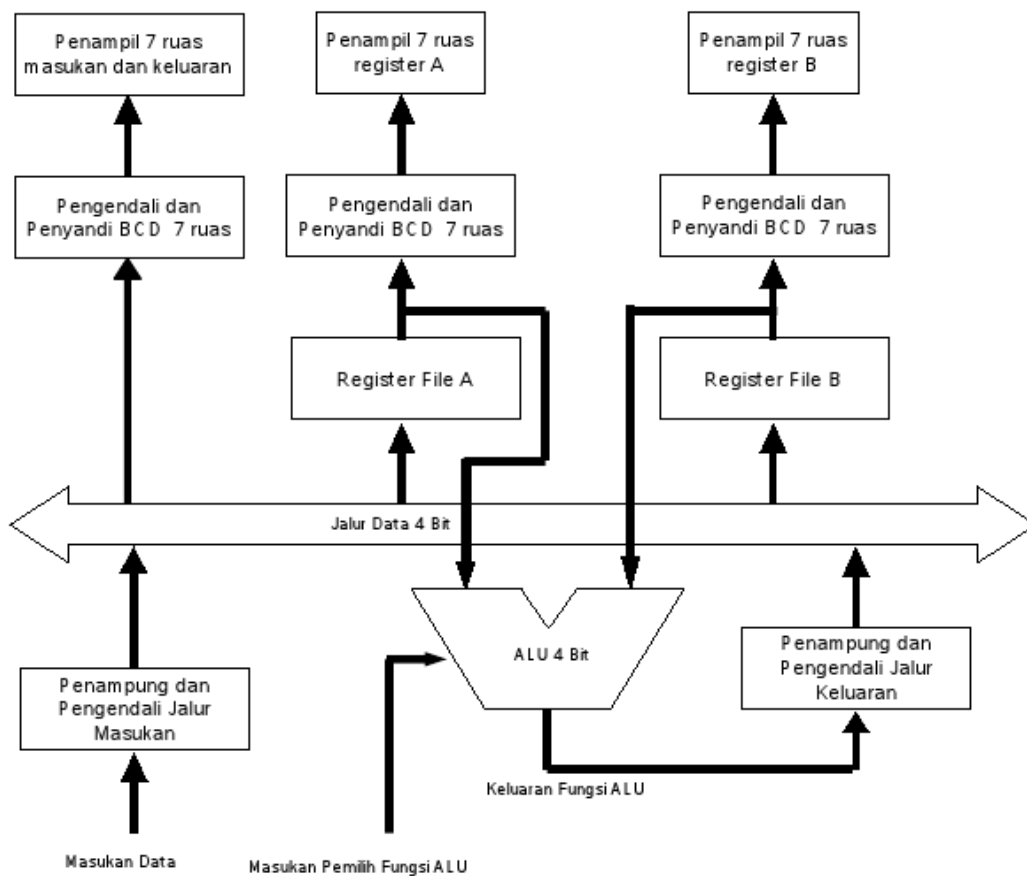


## BAB 2

### Analisis dan Perancangan

#### 2.1. Analisis Kebutuhan Sistem

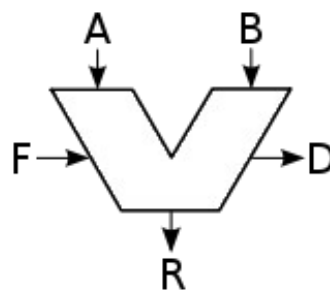
Pemroses dan peraga sederhana 4 bit ini menggunakan beberapa komponen untuk mengolah data dari dan menampilkan hasil perhitungan operasi aritmatika, dijelaskan dengan diagram seperti pada gambar 2.1.1 berikut ini .



Gambar 2.1.1 Diagram Pemroses dan peraga sederhana 4 bit

### 2.1.1. Unit Aritmatika Dan Logika

Unit Aritmatika Dan Logika atau ALU (*Arithmetic And Logic Unit*) adalah salah satu bagian dalam dari sebuah pengolah mikro dan pengendali mikro yang berfungsi untuk melakukan operasi aritmatika dan logika. Contoh operasi aritmatika adalah operasi penjumlahan dan pengurangan, sedangkan contoh operasi logika adalah logika AND dan OR. ALU juga melakukan operasi aritmatika yang lainnya. Seperti pengurangan, dan pembagian yang dilakukan dengan dasar penjumlahan, sehingga bagian ini disebut dengan adder. Operasi logika meliputi perbandingan dua buah elemen logika dengan menggunakan operator logika, yaitu: a. sama dengan (=) b. tidak sama dengan (<>) c. kurang dari (<) d. kurang atau sama dengan dari (<=) e. lebih besar dari (>) f. lebih besar atau sama dengan dari (>=).



Gambar 2.1.1.1 Simbol Umum ALU

### 2.1.2. Register File

Register file merupakan larik register yang disusun dari D *flip-flop* atau SR *flip-flop*, yang berfungsi sebagai penyimpanan data sementara. Register File yang digunakan berisi 16 D *flip-flop* yang dibagi menjadi 4 buah masing – masing 4 bit. Memiliki jalur masukan dan alamat baca dan tulis terpisah.

### 2.1.3. Pembalik

Pembalik (*inverter*) atau gerbang NOT adalah gerbang logika yang mengimplementasikan negasi logis.

Rangkaian pembalik tegangan keluaran yang mewakili tingkat logika yang berlawanan untuk masukan. Sirkuit digital elektronik tetap beroperasi pada level tegangan yang sesuai dengan logika 0 atau 1. Rangkaian pembalik berfungsi sebagai gerbang logika dasar untuk menukar antara dua level tegangan. Pelaksanaan menentukan tegangan yang sebenarnya, tetapi tingkat umum meliputi (0, +5 V) untuk rangkaian TTL.

### 2.1.4. Penampil 7 Ruas

Sebuah penampil tujuh ruas, adalah suatu bentuk perangkat elektronik untuk menampilkan angka-angka desimal. Penampil tujuh ruas banyak digunakan dalam jam digital, elektronik meter, dan

perangkat elektronik lainnya untuk menampilkan informasi numerik.

Sebuah penampil tujuh ruas, terdiri dari tujuh elemen. Bisa dihidupkan dan dimatikan pada setiap ruasnya, mereka dapat dikombinasikan untuk menghasilkan representasi yang disederhanakan dari angka arabik.

#### **2.1.5. Pengendali penampil 7 ruas**

Pengendali penampil 7 ruas berfungsi sebagai perubah dari BCD (*Binary Coded Decimal*) ke tujuh ruas. Mampu mengendalikan penampil 7 ruas anoda bersama secara langsung, arus maksimal sampai dengan 40 mA tanpa perlu tambahan transistor penguat. Resistor perlu dihubungkan antara keluaran pengendali penampil 7 ruas dan katoda penampil 7 ruas untuk membatasi arus agar tidak lebih besar dari arus maksimum yang diijinkan.

#### **2.1.6. Pengendali jalur**

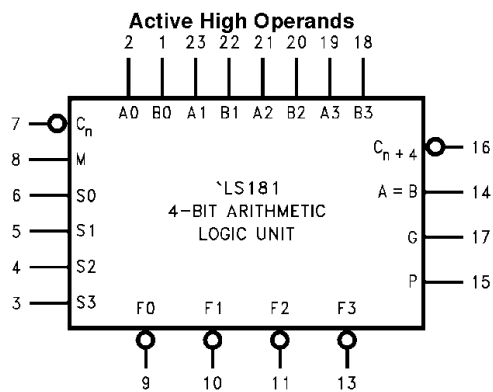
Agar supaya jalur data bisa dua arah, pada bagian masukan perlu dipasang penampung yang memiliki keluaran tiga keadaan (*three state*) demikian halnya pada bagian keluaran, supaya jalur data bisa menerima masukan. Ketika jalur data berfungsi sebagai masukan keluaran dari ALU diputus dari jalur data. Ketika jalur data berfungsi sebagai keluaran, keluaran dari ALU disambung kembali.

## 2.2. Perancangan Pembuatan Alat

Perancangan dalam pembuatan sebuah pemroses dan peraga sederhana 4 bit ini akan dijelaskan komponen yang digunakan beserta gambarnya.

### 2.2.1. 74LS181

Adalah 4 bit ALU yang dapat melakukan 16 aritmatika operasi: menambah, mengurangi, menggandakan, ditambah dua belas operasi aritmatika lain dan menyediakan semua 16 operasi logika dari dua variabel yaitu eksklusif-OR, perbandingan, AND, NAND, OR, NOR, ditambah sepuluh operasi logika lainnya.



Gambar 2.2.1.1 Simbol Logika 74LS181 Aktif Tinggi

Tabel 2.2.1.1 Fungsi Pena 74LS181 Aktif Tinggi

Nama Pena	Keterangan	Sifat
A0 – A3	Masukan A	aktif tinggi
B0 – B3	Masukan B	aktif tinggi
S0 – S3	Masukan Pemilih Fungsi	aktif tinggi
M	Pemilih Mode	aktif tinggi

$/ C_n$	Masukan <i>Carry</i>	aktif rendah
F0 – F3	Keluaran Fungsi	aktif rendah
A = B	Keluaran Pembanding	aktif tinggi
G	Keluaran dengan <i>Carry</i>	aktif tinggi
P	Keluaran Perluasan <i>Carry</i>	aktif tinggi
$/ C_n +4$	Keluaran <i>Carry</i>	aktif rendah

Ketika Pemilih Mode (M) adalah tinggi, *carry* internal dihambat dan perangkat melakukan operasi logika. Ketika Pemilih Mode (M) rendah, *carry* diaktifkan dan perangkat melakukan operasi aritmatika, pada dua buah 4 bit masukan. Dalam Mode ADD, P menunjukkan bahwa F adalah 15 atau lebih, sedangkan G menunjukkan bahwa F adalah 16 atau lebih. Dalam Mode mengurangi, bahwa F adalah nol atau kurang, G menunjukkan bahwa F adalah kurang dari nol. P dan G tidak terpengaruh oleh  $/ C_n$ . Jika persyaratan kecepatan tidak ketat, dapat digunakan dalam Mode *ripple carry* sederhana dengan menghubungkan sinyal keluaran *carry* ( $/ C_n + 4 n$ ) ke masukan *carry* ( $/ C_n$ ) unit berikutnya.

A = B adalah keluaran kolektor terbuka dan dapat di - AND kan dengan keluaran A = B lain guna membandingkan lebih dari empat bit. Sinyal A = B dapat digunakan dengan sinyal  $/ C_n + 4$  untuk mengindikasikan  $A > B$  dan  $A < B$ .

Tabel 2.2.1.2 Fungsi 74LS181 Operasi Aritmatika

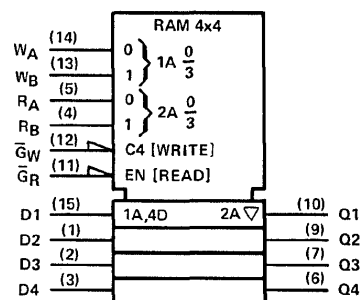
Mode				Fungsi (aktif tinggi)	
				$/C_n = V_{CC}$ (tanpa carry)	$/C_n = \text{Gnd}$ (dengan carry)
S3	S2	S1	S0		
0	0	0	0	A	A tambah 1
0	0	0	1	A + B	(A + B) tambah 1
0	0	1	0	A + $\bar{B}$	(A + $\bar{B}$ )
0	0	1	1	Min 1	0
0	1	0	0	A tambah A $\bar{B}$	A tambah A $\bar{B}$ tambah 1
0	1	0	1	(A + B) tambah A $\bar{B}$	(A + B) tambah A $\bar{B}$ tambah 1
0	1	1	0	A kurangi B kurangi 1	A kurangi B
0	1	1	1	A $\bar{B}$ kurangi 1	A $\bar{B}$
1	0	0	0	A tambah AB	A tambah AB tambah 1
1	0	0	1	A tambah B	A tambah B tambah 1
1	0	1	0	(A + $\bar{B}$ ) tambah AB	(A + $\bar{B}$ ) tambah AB tambah 1
1	0	1	1	AB kurangi 1	AB
1	1	0	0	A tambah A	A tambah A tambah 1
1	1	0	1	(A + B) tambah A	(A + B) tambah A tambah 1
1	1	1	0	(A + $\bar{B}$ ) tambah A	(A + $\bar{B}$ ) tambah A tambah 1
1	1	1	1	A kurangi 1	A

Untuk mode 12 (1100) operasi A tambah A hasilnya digeser kekiri satu kali.

### 2.2.2. 74LS670

Register file ini disusun sebagai 4 kata (*word*) dari masing-masing 4 bit, dan disediakan pembaca alamat yang terpisah untuk memilih salah satu lokasi dari 4 untuk menulis atau mengambil data. Hal ini memungkinkan menulis ke dalam satu lokasi dan membaca

kata dari lokasi lain, secara bersamaan. Empat jalur masukan yang tersedia untuk memasukan kata yang akan disimpan. Lokasi dari kata ditentukan oleh masukan alamat tulis A dan B dalam hubungannya dengan sinyal *write-enable*. Data pada masukan harus dalam bentuk aktif tinggi. Ketika  $\overline{G}_W$  bernilai tinggi, masukan data terhambat dan menyebabkan tidak ada perubahan dalam informasi dalam kait internal. Ketika  $\overline{G}_R$  bernilai tinggi, keluaran data terhambat dan menuju ke impedansi tinggi.



Gambar 2.2.2.1 Simbol Logika 74LS670

Tabel 2.2.2.1 Fungsi Pena 74LS670

Nama Pena	Fungsi	Sifat
D1 - D4	Masukan Data	Aktif Tinggi
Q1-Q4	Keluaran Data	Aktif Tinggi
$W_a$ , $W_b$	Pemilih Alamat Register (Tulis)	Aktif Tinggi
$R_a$ , $R_b$	Pemilih Alamat Register (Baca)	Aktif Tinggi
$\overline{G}_w$	Mengaktifkan Penulisan	Aktif Rendah
$\overline{G}_r$	Mengaktifkan Pembacaan	Aktif Rendah



Tabel 2.2.2.2 Fungsi Penulisan 74LS670

Masukan			Kata (Word)			
$W_a$	$W_b$	$\overline{G_w}$	0	1	2	3
0	0	0	Q = D	$Q_0$	$Q_0$	$Q_0$
0	1	0	$Q_0$	Q = D	$Q_0$	$Q_0$
1	0	0	$Q_0$	$Q_0$	Q = D	$Q_0$
1	1	0	$Q_0$	$Q_0$	$Q_0$	Q = D
X	X	1	$Q_0$	$Q_0$	$Q_0$	$Q_0$

Tabel 2.2.2.3 Fungsi Pembacaan 74LS670

Masukan			Keluaran			
$R_a$	$R_b$	$\overline{G_r}$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	0	0	W0B1	W0B2	W0B3	W0B4
0	1	0	W1B1	W1B2	W1B3	W1B4
1	0	0	W2B1	W2B2	W2B3	W2B4
1	1	0	W3B1	W3B2	W3B3	W3B4
X	X	1	Z	Z	Z	Z

X = Antara 0 dan 1, Z = Impedansi tinggi.

(Q = D) = keluaran keempat flip-flop yang dipilih terhubung dengan keempat masukan data eksternal.

$Q_0$  = Data tidak berubah.

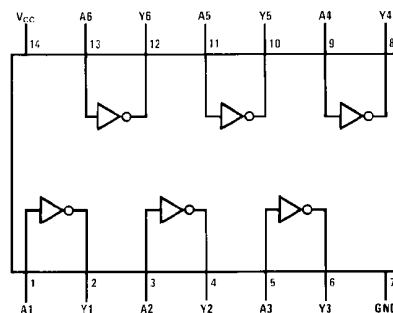
W0B1 = Bit pertama dari kata 0, dan seterusnya.

### 2.2.3. 74LS04

Pembalik (*inverter*) atau gerbang NOT adalah gerbang logika

yang mengimplementasikan negasi logis. Rangkaian pembalik tegangan keluaran yang mewakili tingkat logika yang berlawanan untuk masukan. Sirkuit digital elektronik tetap beroperasi pada level tegangan yang sesuai dengan logika 0 atau 1. Rangkaian pembalik berfungsi sebagai gerbang logika dasar untuk menukar antara dua taraf tegangan. Pelaksanaan menentukan tegangan yang sebenarnya, tetapi tingkat umum meliputi (0, +5 V) untuk rangkaian TTL.

*Hex Inverter* adalah sebuah rangkaian terpadu yang berisi enam (*heksa*) pembalik.



Gambar 2.2.3.1 74LS04

Tabel 2.2.3.1 Fungsi 74LS04

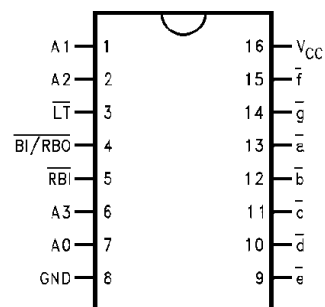
masukan	keluaran
A	Y
0	1
1	0



0	0	0	1	1	0	0	9
1	1	1	0	0	1	0	8
1	1	0	0	1	1	0	3
1	0	1	1	1	0	0	4
0	1	1	0	1	0	0	5
1	1	1	0	0	0	0	6
1	1	1	1	1	1	1	

### 2.2.5. 74LS47

Penyandi BCD ke 7 ruas / pengendali 7 ruas dengan keluaran terbuka. LS47 menerima empat baris BCD (8421) masukan data. Memiliki keluaran kolektor terbuka untuk segmen kendali secara langsung. masukan disediakan *blanking*, pengujian lampu dan penindasan fungsi-nol yang bisa diperluas.



Gambar 2.2.5.1 74LS47

Tabel 2.2.5.1 Fungsi Pena 74LS47

Nama Pena	Fungsi	Sifat
A0 – A3	Masukan (BCD)	Aktif tinggi
$\overline{RBI}$	Masukan Ripple Blanking	Aktif rendah
$\overline{LT}$	Masukan Penguji Lampu	Aktif rendah

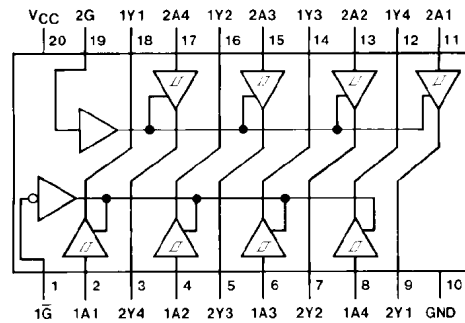
$\overline{BI} / \overline{RBO}$	Masukan <i>Blanking</i> atau Keluaran Ripple Blanking	Aktif rendah
$\overline{a} - \overline{g}$	Keluaran	Aktif rendah Aktif rendah

Tabel 2.2.5.2 Fungsi 74LS47

des	Masukan							Keluaran						
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A	$\overline{BI}$	$\overline{a}$	$\overline{b}$	$\overline{c}$	$\overline{d}$	$\overline{e}$	$\overline{f}$	$\overline{g}$
0	1	1	0	0	0	0	1	1	1	1	1	1	1	0
1	1	1	0	0	0	1	1	0	1	1	0	0	0	0
2	1	1	0	0	1	0	1	1	1	0	1	1	0	1
3	1	1	0	0	1	1	1	1	1	1	1	0	0	1
4	1	1	0	1	0	0	1	0	1	1	0	0	1	1
5	1	1	0	1	0	1	1	1	0	1	1	0	1	1
6	1	1	0	1	1	0	1	0	0	1	1	1	1	1
7	1	1	0	1	1	1	1	1	1	1	0	0	0	0
8	1	1	1	0	0	0	1	1	1	1	1	1	1	1
9	1	1	1	0	0	1	1	1	1	1	0	0	1	1
10	1	1	1	0	1	0	1	0	0	0	1	1	0	1
11	1	1	1	0	1	1	1	0	0	1	1	0	0	1
12	1	1	1	1	0	0	1	0	1	0	0	0	1	1
13	1	1	1	1	0	1	1	1	0	0	1	0	1	1
14	1	1	1	1	1	0	1	0	0	0	1	1	1	1
15	1	1	1	1	1	1	1	0	0	0	0	0	0	0

### 2.2.6. 74LS241 Penampung / Pengendali Jalur

8 buah penampung / pengendali jalur 3 keadaan digunakan sebagai pengendali jalur data, agar bisa digunakan sebagai masukan dan keluaran.



Gambar 2.2.6.1 74LS241

Tabel 2.2.6.1 Fungsi 74LS241 Gerbang Pertama

masukan		keluaran
$\bar{G}$	A	Y
0	0	1
0	1	0
1	X	Z

Tabel 2.2.6.2 Fungsi 74LS241 Gerbang Kedua

masukan		keluaran
G	A	Y
1	0	1
1	1	0
0	X	Z

Dengan X = antara 0 dan 1, Z = Impedansi Tinggi.